

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2 0 0 4 年 7 月 2 2 日

出 願 番 号

Application Number:

特 願 2 0 0 4 - 2 1 4 8 5 1

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 2 1 4 8 5 1

出 願 人

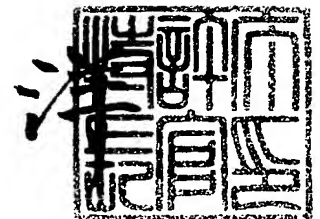
Applicant(s):

日本電信電話株式会社

2 0 0 5 年 8 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



BEST AVAILABLE COPY

【書類名】	付 付 願
【整理番号】	NTTH165516
【提出日】	平成16年 7月22日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 21/00
【発明者】	
【住所又は居所】	東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
【氏名】	神 好人
【発明者】	
【住所又は居所】	東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
【氏名】	酒井 英明
【発明者】	
【住所又は居所】	東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
【氏名】	嶋田 勝
【特許出願人】	
【識別番号】	000004226
【氏名又は名称】	日本電信電話株式会社
【代理人】	
【識別番号】	100064621
【弁理士】	
【氏名又は名称】	山川 政樹
【電話番号】	03-3580-0961
【選任した代理人】	
【識別番号】	100067138
【弁理士】	
【氏名又は名称】	黒川 弘朗
【選任した代理人】	
【識別番号】	100098394
【弁理士】	
【氏名又は名称】	山川 茂樹
【手数料の表示】	
【予納台帳番号】	006194
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	0205287

【請求項 1】

基板の上に形成された下部電極と、
この下部電極の上に形成された強誘電体からなる所定の厚さの強誘電体層と、
この強誘電体層の上に形成された絶縁層と、
この絶縁層の上に形成された上部電極と
を少なくとも備え、
前記強誘電体層は、少なくとも 2 つの金属を含んでいる
ことを特徴とする強誘電体素子。

【請求項 2】

請求項 1 記載の強誘電体素子において、
前記強誘電体層は、前記下部電極と前記上部電極との間に印加された電気信号により抵抗値が変化する
ことを特徴とする強誘電体素子。

【請求項 3】

請求項 2 記載の強誘電体素子において、
前記強誘電体層は、
第 1 電圧値以上の電圧印加により第 1 抵抗値を持つ第 1 状態となり、
前記第 1 電圧とは極性の異なる第 2 電圧値以下の電圧印加により前記第 1 抵抗値より低い第 2 抵抗値を持つ第 2 状態となる
ことを特徴とする強誘電体素子。

【請求項 4】

請求項 1 ～ 3 のいずれか 1 項に記載の強誘電体素子において、
前記下部電極は、前記基板の上に絶縁膜を介して形成されている
ことを特徴とする強誘電体素子。

【請求項 5】

請求項 1 ～ 3 のいずれか 1 項に記載の強誘電体素子において、
前記基板は導電性材料から構成されたものである
ことを特徴とする強誘電体素子。

【請求項 6】

請求項 5 記載の強誘電体素子において、
前記下部電極と前記基板とは同一である
ことを特徴とする強誘電体素子。

【請求項 7】

請求項 1 ～ 6 のいずれか 1 項に記載の強誘電体素子において、
前記強誘電体は、ペロブスカイト構造，擬イルメナイト構造，タングステン・ブロンズ構造，ピスマス層状構造，及びバイクロイア構造の少なくとも 1 つである
ことを特徴とする強誘電体素子。

【請求項 8】

請求項 1 ～ 7 のいずれか 1 項に記載の強誘電体素子において、
前記強誘電体層は、ピスマスとチタンと酸素とから構成され、ピスマス層状構造であることを特徴とする強誘電体素子。

【請求項 9】

基板の上に下部電極層を形成する第 1 工程と、
所定の組成比で供給された不活性ガスと酸素ガスとからなるプラズマを生成し、少なくとも 2 つの金属から構成されたターゲットに負のバイスを印加して前記プラズマより発生した粒子を前記ターゲットに衝突させてスパッタ現象を起こし、前記ターゲットを構成する材料を前記下部電極層の上に堆積することで、2 つの前記金属及び酸素から構成された強誘電体からなる強誘電体層を前記下部電極層の上に形成する第 2 工程と、
前記強誘電体層の上に絶縁層を形成する第 3 工程と、

前記電極層の上に上部電極を形成する第4工程とを備えることを特徴とする強誘電体素子の製造方法。

【発明の名称】 強誘電体素子及びその製造方法

【技術分野】

【0001】

本発明は、強誘電体素子及びその製造方法に関する。

【背景技術】

【0002】

マルチメディア情報化社会の拡大、さらには、ユビキタスサービスの実現に向けた研究開発が盛んに行われている。特に、ネットワーク機器、情報端末に搭載される情報を記録する装置（以下、メモリという）は、重要なキーデバイスである。ユビキタス端末に搭載されるメモリに求められる機能として、高速動作、長期保持期間、耐環境性、低消費電力、さらに、電源を切っても蓄積された情報が消去されない機能、つまり、不揮発性が必須とされている。

【0003】

従来、メモリには、半導体装置が多く用いられてきた。その中の1つとして、DRAM（Dynamic Random Access Memory）が広く使用されている。

DRAMの単位記憶素子（以下、メモリセルという）では、1個の蓄積容量と1個のMOSFET（Metal-oxide-semiconductor field effect transistor）からなり、選択されたメモリセルの蓄積容量に蓄えられた電荷の状態に対応する電圧を、ビット線から電気的なデジタル信号の「on」あるいは「off」として取り出すことで、記憶されているデータを読み出す（非特許文献1参照）。

【0004】

しかし、DRAMでは、電源を切ると蓄積容量の状態を維持することが不可能となり、蓄積された情報が消去されてしまう。言い換えると、DRAMは揮発性のメモリ素子である。また、よく知られているように、DRAMでは、データを再び書き込むリフレッシュ動作が必要となり、動作速度が低下するという欠点もある。

【0005】

電源を切ってもデータが揮発しない機能である不揮発性のメモリとしては、ROM（Read only Memory）がよく知られているが、記録されているデータの消去や変更が不可能である。

また、書き換え可能な不揮発性のメモリとして、EEPROM（Electrically erasable programmable read only memory）を用いたフラッシュメモリ（Flash memory）が開発されている（特許文献1，非特許文献1参照）。フラッシュメモリは、実用的な不揮発性メモリとして、多くの分野で使用されている。

【0006】

代表的なフラッシュメモリのメモリセルは、MOSFETのゲート電極部が、制御ゲート電極と浮遊ゲート電極を有した複数の層からなるスタックゲート（Stack gate）構造となっている。フラッシュメモリでは、浮遊ゲートに蓄積された電荷の量により、MOSFETの閾値が変化することを利用して、データの記録を可能としている。

【0007】

フラッシュメモリのデータの書き込みは、ドレイン領域に高電圧を印加して発生したホットキャリアがゲート絶縁膜のエネルギ障壁を乗り越えることで行う。また、ゲート絶縁膜に高電界を印加してF-N（Fowler-Nordheim）トンネル電流を流すことで、半導体基板から浮遊ゲートに電荷（一般的には電子）を注入することで、データの書き込みが行われる。データの消去は、ゲート絶縁膜に逆方向の高電界を印加することで、浮遊ゲートから電荷を引き抜くことにより行われる。

【0008】

フラッシュメモリは、DRAMのようなリフレッシュ動作が不要な反面、F-Nトンネル現象を用いるために、DRAMに比べてデータの書き込み及び消去に要する時間がけた違いに長くなってしまいうという問題がある。さらに、データの書き込み・消去を繰り返

す、ノード配線族が劣化する中で、書き換え回数が限られる非揮発性メモリの問題もある。

【0009】

上述したフラッシュメモリに対し、新たな不揮発性メモリとして、強誘電体の分極を用いた強誘電体メモリ（以下、F e R A M (Ferroelectric RAM) や、強磁性体の磁気抵抗を用いた強磁性体メモリ（以下、M R A M (Magnetoresist RAM) という）などが注目されており、盛んに研究されている。

この中で、F e R A Mは、既に実用化されていることもあり、諸処の課題を解決できれば、可搬型メモリだけでなくロジックのD R A Mも置き換えできると期待されている。

【0010】

強誘電体には、酸化物強誘電体（強誘電体セラミックスとも呼ばれる）とポリフッ化ビニリデン（P V D F）に代表されるような高分子強誘電体、B a M g F₄などのフッ化物強誘電体がある。酸化物強誘電体とフッ化物強誘電体は、分極を担う原子のわずかな変位によって分極反転が起きる。一方、高分子強誘電体では、共有結合で長く結合した分子鎖のコンフォメーション（結合形態）変化を素過程とする個々の分子鎖の回転によって、分極反転が起きる。

【0011】

酸化物強誘電体は、B a T i O₃、P b T i O₃などのペロブスカイト構造（Perovskite）、L i N b O₃、L i T a O₃などの擬イルメナイト構造（Pseudo-ilmenite）、P b N b₃O₆、B a₂N a N b₅O₁₅などのタングステン・ブロンズ（T B）構造（Tungsten-bronze）、S r B i₂T a₂O₉、B i₄T i₃O₁₂などのビスマス層状構造（Bismuth layer-structure ferroelectric, BLSF）等、L a₂T i₂O₇などのパイロクロア構造（Pyrochlore）に分類される。

【0012】

また、高分子強誘電体は、ポリフッ化ビニリデン（P V D F）を始め、フッ化ビニリデン（P D V）と三フッ化エチレンの共重合体のP（V D F／T r E F）などがあり、高分子の重合反応により作製される。強誘電体についての詳しくは、非特許文献2を参考されたい。

【0013】

上述した強誘電体材料のうち、F e R A Mには主に酸化物強誘電体が使用される。さらに、酸化物強誘電体の中でよく使用されているのは、ペロブスカイト構造を持つ強誘電体（以下、ペロブスカイト型強誘電体と呼ぶ）の中でもP b（Z r，T i）O₃（P Z T）で代表される鉛系強誘電体である。しかしながら、鉛含有物や鉛酸化物は、労働安全衛生法により規制される材料であり、生態への影響や環境負荷の増大などが懸念される。このため欧米では、生態学的見知及び公害防止の面から規制対象となりつつある。

【0014】

近年の環境負荷軽減の必然性から、非鉛系（無鉛）で鉛系強誘電体の性能に匹敵する強誘電体材料が世界的に注目されており、この中でも無鉛ペロブスカイト型強誘電体やビスマス層状構造強誘電体（B L S F）が有望とされている。しかし、鉛系強誘電体に比べ分極量が小さく成膜法・加工法ともに課題が多いのも事実である。

【0015】

フラッシュメモリの代わりとして期待されるF e R A Mには、主に、スタック型とF E T型に分類される。

スタック型は、1トランジスタ1キャパシタ型F e R A Mとも呼ばれ、この構造から図15に示すようなスタック型キャパシタを持つものと、プレーナ型キャパシタを持つもの、立体型キャパシタを持つものがある。また、スタック型には、1トランジスタ1キャパシタ型F e R A Mやこれを2つ重ねて安定動作化させた2トランジスタ2キャパシタ型F e R A Mがある。

【0016】

図15に示すスタック型のF e R A Mは、半導体基板1501の上に、ソース1502

、ドレイン1503、ノード絶縁膜1504を介して取りつけたノード電極1505よりなるMOSトランジスタを備え、MOSトランジスタのソース1502に、下部電極1511、強誘電体からなる誘電体層1512、上部電極1513からなるキャパシタが接続している。図15の例では、ソース電極1506により上記キャパシタがソース1502に接続している。また、ドレイン1503にはドレイン電極1507が接続し、電流計が接続している。

【0017】

これらの構造は、強誘電体からなる誘電体層1512の分極の向きをソースドレイン間（チャンネル1521）に流れる電流として検出することで、「on」あるいは「off」のデータとして取り出す機能を持っている。強誘電体の分極は、電圧を印加してなくても保持できることから不揮発性を有するが、この構造では、データ読み出し時にデータを破壊してしまい、データの再書き込みが必要となり高速性にかけるという問題や、1つの素子の占有する面積が大きいこと、高集積化には向かないという欠点がある。

【0018】

上述したスタック型FeRAMに対し、FET型FeRAMは、次世代を担うFeRAMとして期待されている。FET型FeRAMは、1トランジスタ型FeRAMとも呼ばれ、この構造から、MOSFETのゲート電極とチャンネル領域のゲート絶縁膜の代わりに強誘電体膜を配置したMFS（Metal-ferroelectric-semiconductor）型FeRAM、MOSFETのゲート電極の上に強誘電体膜を配置したMFMS（Metal-ferroelectric-metal-insulator-semiconductor）型FeRAM、さらにMOSFETのゲート電極とゲート絶縁膜の間に強誘電体膜を配置した図16に示すようなMFIS（Metal-ferroelectric-insulator-semiconductor）型FeRAMなどの1トランジスタ型FeRAMがある（非特許文献3参照）。

【0019】

図16に示すMFISでは、半導体基板1601の上に、ソース1602、ドレイン1603を備え、ソース・ドレイン間に配置されたゲート絶縁膜1604の上に、強誘電体からなる誘電体層1605を備え、誘電体層1605の上にゲート電極1606を備える。ソース1602にはソース電極1607を介してソース電圧が印加され、ドレイン1603にはドレイン電極1608を介して電流計が接続している。

【0020】

これらのFeRAMは、MOSFETの動作に強誘電体の分極を適用させたものであり、分極の状態により、ゲート絶縁膜1604直下の半導体表面にチャンネル1621が形成される場合と、形成されない場合との状態を作り出し、このときのソースドレイン間の電流値を読み取り、電気的なデジタル信号の「on」あるいは「off」として取り出す機能を持っている。

【0021】

FET型FeRAMでは、動作原理から、データ読み出しを行っても、強誘電体の分極量は変化しないことから非破壊読み出しが可能であり、高速動作が期待されている。また、1トランジスタ1キャパシタ型FeRAMに比べて専有面積も小さくできることから、高集積化に有利である特徴を持つ。

しかしながら、実際には、1トランジスタ型FeRAMのうちMFIS型FeRAM（図16）では、強誘電体膜と半導体の間にゲート絶縁膜があるために、強誘電体の分極量を打ち消すような減分極電界が発生する。

【0022】

さらに、上述した構成を実現するためには、一般的に非晶質（アモルファス）である絶縁膜の上に、分極特性と配向性を持つ高品質な高誘電体を成膜することになる。ところが、後に説明する既存の成膜手法を用いては、絶縁膜上に高配向性の強誘電体を形成することが難しかった。このため、従来技術で作製されたMFIS型FeRAMは、減分極電界により分極が持ちこたえることができず、長時間のデータ保持ができなかった。さらに、半導体の上に形成する絶縁膜の品質が乏しい場合、電界により生じるリーク電流によって

、強誘電体の分極量が十分に低下してしまふ。これを行うために、現在のMFIS型FeRAMにおいては、メモリとしての動作のデータ保持期間（データ寿命）が10日程度に留まっており、実用にはほど遠いのが現状である。

【0023】

ところで、MFIS型FeRAMにおいては、結晶の金属電極（PtやSrRuO₂などが一般的）の上に強誘電体を形成できるため、MFIS型FeRAM構造のように絶縁膜の上に強誘電体を形成する必要がなく高品質な成膜ができる。しかしながら、強誘電体は、金属上に対してもいまだ安定した成膜方法が提案されておらず、やはり、半導体上の絶縁膜による減分極電界による分極低下が問題となり長期のメモリ保持が実現されていない。

【0024】

一方、MFS型FeRAMでは、半導体上の絶縁膜を必要としないために、原理的に減分極電界による分極の低下を回避できる。しかし、ゾルゲル法やMOCVD法などの強誘電体成膜方法では高温の成膜温度が必要となるために、Siなどの半導体表面が酸化又は変質してしまい、界面に酸化膜や欠陥を多く形成してしまう。この結果、半導体と強誘電体との界面に酸化膜（界面酸化膜）が形成されてしまった場合、MFIS型FeRAMと同様に減分極電界が生じてしまう。

【0025】

界面酸化膜が形成されなくても、界面に欠陥準位を多く形成した場合、電荷蓄積の電荷の影響が大きくなり、正確なメモリ動作ができなくなる。また、形成した強誘電体膜の品質が低い場合、膜中にリーク電流が流れてしまい長期間の分極特性を保持できないことが多く報告されている。

【0026】

上述したFeRAMなどでは、基体上への酸化物強誘電体の形成が重要である。現在までに様々な形成装置及び種々の薄膜形成方法が試みられている。例えば、ゾルゲル（sol-gel）法と有機金属熱分解（Metal-organic deposition, MOD）を含む化学溶液堆積法（Chemical solution deposition, CSD）、有機金属化学気相堆積法（Metal-organic chemical vapor deposition, MOCVD又はMOVPE）、パルス・レーザー・デポジション（Pulsed laser deposition, PLD）、液体ミスト化学堆積法（Liquid source misted chemical deposition, LSMCD）、電気泳動堆積法（Electro-phoretic deposition, EPD）、高周波スパッタリング法（rf-sputtering、RFスパッタ法やマグネトロンスパッタ法とも呼ぶ）、ECRスパッタ法（Electron cyclotron resonance sputtering）などが挙げられる。

【0027】

これらの成膜方法のうち主流となっているのは、ゾルゲル法やMOD法と呼ばれるCSD法である。CSD法は、強誘電体の基材を有機溶媒に溶解し、これを基体に塗布・焼結を繰り返して膜を形成する方法であり、簡便で比較的大面積に強誘電体膜が形成できるのが特徴である。CSD法は、塗布する溶液の組成を制御することで任意の組成を持つ強誘電体膜が形成でき、多くの研究機関から報告がなされている。

【0028】

しかし、塗布する基体によっては濡れ性が悪く形成できないこともあること、形成した膜中に溶液に用いる溶媒が残されてしまい良好な膜質が得られないことなどの問題がある。また、CSD法では、焼結させるための温度を強誘電体膜のキュリー温度よりも高くする必要があるので、温度や雰囲気の影響が大きい場合、良好な特性の膜が全く得られないといった問題を抱える。

【0029】

また、CSD法以外の方法による強誘電体膜の形成も試みられている。例えば、エキシマレーザーなどの強力なレーザー光源で強誘電体原料のターゲットをスパッタすることで、良好な膜質の強誘電体膜が形成できるPLD法が注目されている。

しかし、この方法では、ターゲット面内においてレーザーが照射される部分の面積は非常に小さく、小さな照射面からスパッタされて供給される原料に大きな分布が生じる。この

る。もし膜へバックグラウンドに同じ様な薄膜を堆積し得るがは、例えば、特許文献2、特許文献3や、非特許文献4を参照されたい。

さらに、ECRスパッタ法は、膜の堆積速度が比較的安定しているため、ゲート絶縁膜などの極めて薄い膜を、膜厚の制御よく形成するのに適している。また、ECRスパッタ法で堆積した膜の表面モフォロジは、原子スケールのオーダーで平坦である。従って、ECRスパッタ法は、高誘電率ゲート絶縁膜の形成するだけでなく、前述したFeRAMに必要な強誘電体膜の形成や金属電極膜の形成にとって有望な方法であると言える。

【0038】

ECRスパッタ法を用いた強誘電体膜の検討についてもいくつか報告されている。例えば、特許文献4、特許文献5、非特許文献5では、バリウム又はストロンチウムを含む強誘電体の製造について報告している。また、非特許文献6では、 $\text{Ba}_2\text{NaNi}_5\text{O}_{15}$ の製造について報告している。さらに、非特許文献7では、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の製造について報告している。

【0039】

しかしながら、従来では、ECRスパッタ法を用いても、先人らは従来スパッタ法と同様の方法として捉えた思想により条件を選択し、強誘電体材料からなる膜を形成しようとしていた。このため、従来では、ECRスパッタ法を用いて強誘電体膜を形成しても、FeRAMに適用できる良好な強誘電性を示すことができなかった。

【0040】

上述したようなメモリを取り巻く状況に対し、強誘電体の分極量により半導体の状態を変化させる（チャンネルを形成する）などの効果によりメモリを実現させるのではなく、図17に示すように、半導体基板1701の上部に直接形成した強誘電体層1702の抵抗値を変化させ、結果としてメモリ機能を実現する技術が提案されている（特許文献6参照）。強誘電体層1702の抵抗値の制御は、電極1703と電極1704との間に電圧を印加することで行う。

【0041】

なお、出願人は、本明細書に記載した先行技術文献情報で特定される先行技術文献以外には、本発明に関連する先行技術文献を出願時までに発見するには至らなかった。

【特許文献1】特開平8-031960号公報

【特許文献2】特許第2814416号公報

【特許文献3】特許第2779997号公報

【特許文献4】特開平10-152397号公報

【特許文献5】特開平10-152398号公報

【特許文献6】特開平7-263646号公報

【特許文献7】特開2003-77911号公報

【非特許文献1】サイモン・ジー著、「フィジクス・オブ・セミコンダクター・デバイス」、1981年、(S.M.Sze, "Physics of Semiconductor Devices", John Wiley and Sons, Inc.)

【非特許文献2】塩寄忠 監修、「強誘電体材料の開発と応用」、シーエムシー出版

【非特許文献3】猪俣浩一郎、田原修一、有本由弘編、「MRAM技術—基礎からLSI応用まで—」、サイベック

【非特許文献4】天沢他のジャーナルオブバキュームサイエンスアンドテクノロジー、第B17巻、第5号、2222頁、1999年(J. Vac. Sci. Technol., B17, no. 5, 2222 (1999)).

【非特許文献5】松岡らのジャーナル・アプライド・フィジクス、第76巻、第3号、1768頁、1994年(J. Appl. Phys., 76(3), 1768, (1994)).

【非特許文献6】渡津らの「粉体及び粉末冶金」、第44号、86頁、1997年

【非特許文献7】増本らのアプライド・フィジクス・レター、第58号、243頁、1991年、(Appl. Phys. Lett., 58, 243, (1991)).

【発明の開示】

【0042】

しかしながら、図17に示した特許文献6に提案されている構造は、前述したMF S型F e R A Mのゲート電極直下と同様に、半導体の上に強誘電体層を備える構造となっている。従って、図17に示す素子では、MF S型F e R A Mの製造過程に最大の問題となる半導体上の良質な強誘電体層の形成が困難であるばかりでなく、半導体と強誘電体層との間に半導体酸化物が形成されてしまい、減分極電界の発生や多くの欠陥の発生が特性に大きく影響し、長時間のデータ保持は不可能であることが予想される。実際、図17に示す素子では、2分程度の保持時間しか達成されておらず、1分程度でデータの再書き込みを強いられることになる。

【0043】

図17に示す素子に見られる電流電圧ヒステリシスは、半導体基板1701と強誘電体層1702の界面に発生した欠陥に、電子又はホールが捕獲（トラップ）されるために起きるとされている。このため、特許文献6では、電気伝導に関連するキャリア数が少ない材料が好ましく、半導体基板1701が適しているとしている。しかし、界面欠陥のキャリアトラップ現象を用いているために、捕獲するトラップが多くなれば、トラップの増加に伴うリーク電流によりデータ保持時間は短くなる。これに対し、半導体基板1701の上に界面なく強誘電体層1702を形成し、リーク電流を少なくすれば、キャリアの捕獲は発現せず、メモリの効果はなくなる。これらの矛盾により、図17に示す素子では、長時間のメモリ保持を行うには原理的に不適であるものであった。

【0044】

本発明は、以上のような問題点を解消するためになされたものであり、より安定に記憶保持が行えるメモリ装置が構成できるなど、強誘電体材料を用いて安定した動作が得られる強誘電体素子を提供できるようにすることを目的とする。

【課題を解決するための手段】

【0045】

本発明に係る強誘電体素子は、基板の上に形成された下部電極と、この下部電極の上に形成された強誘電体からなる所定の厚さの強誘電体層と、この強誘電体層の上に形成された絶縁層と、この絶縁層の上に形成された上部電極とを少なくとも備え、強誘電体層は、少なくとも2つの金属を含んでいるものである。

このように構成したので、強誘電体層は、下部電極と上部電極との間に印加された電気信号により抵抗値が変化する。言い換えると、強誘電体層は、印加される電圧などの電気信号により抵抗値が変化するものである。

この結果、本強誘電体素子では、下部電極と上部電極との間に所定の電圧を印加して強誘電体層の抵抗値を変化させ、安定な高抵抗モードと低抵抗モードを切り替えれば、2つの異なる状態が得られ、例えば、上部電極に、適当な電圧を印加したときの電流値の測定により、2つの異なる状態が読み取れる。

【0046】

上記強誘電体素子において、強誘電体層は、第1電圧値以上の電圧印加により第1抵抗値を持つ第1状態となり、第1電圧とは極性の異なる第2電圧値以下の電圧印加により第1抵抗値より低い第2抵抗値を持つ第2状態となる。

上記強誘電体素子において、下部電極は、基板の上に絶縁膜を介して形成されていてもよく、基板は導電性材料から構成されたものであってもよく、この場合、下部電極と基板とは同一であってもよい。

【0047】

また、上記強誘電体素子において、強誘電体は、ペロブスカイト構造、擬イルメナイト構造、タングステン・ブロンズ構造、ピスマス層状構造、及びバイクロイア構造の少なくとも1つであればよく、例えば、強誘電体層は、ピスマスとチタンと酸素とから構成され、ピスマス層状構造であればよい。

【0048】

半導体上に強誘電体層を形成する方法は、基板の上に下部電極層を形成する第1工程と、所定の組成比で供給された不活性ガスと酸素ガスとからなるプラズマを生成し、少なくとも2つの金属から構成されたターゲットに負のバイスを印加してプラズマより発生した粒子をターゲットに衝突させてスパッタ現象を起こし、ターゲットを構成する材料を下部電極層の上に堆積することで、2つの金属及び酸素から構成された強誘電体からなる強誘電体層を下部電極層の上に形成する第2工程と、強誘電体層の上に絶縁層を形成する第3工程と、絶縁層の上に上部電極を形成する第4工程とを備えるものである。

【発明の効果】

【0049】

以上説明したように、本発明によれば、少なくとも2つの金属から構成された強誘電体層とこの強誘電体層の上に形成された絶縁層とを、下部電極と上部電極とで挟む構成としたので、部電極と上部電極との間に所定の電気信号を印加して強誘電体層の抵抗値を変化させることが可能となり、安定な高抵抗モードと低抵抗モードとが切り替えられるようになり、安定して2つの異なる状態が得られるようになるので、強誘電体材料を用いて安定した動作が得られる強誘電体素子を提供できるという優れた効果が得られる。

【発明を実施するための最良の形態】

【0050】

以下、本発明の実施の形態について図を参照して説明する。

図1は、本発明の実施の形態における強誘電体素子の構成例を模式的に示す断面図である。図1に示す素子は、例えば、単結晶シリコンからなる基板101の上に絶縁層102、下部電極層103、強誘電体層104、絶縁層105、上部電極106を備えるようにしたものである。

【0051】

基板101は、半導体、絶縁体、金属などの導電性材料のいずれから構成されていてもよい。基板101が絶縁材料から構成されている場合、絶縁層102はなくてもよい。また、基板101が導電性材料から構成されている場合、絶縁層102、下部電極層103はなくてもよく、この場合、導電性材料から構成された基板101が、下部電極となる。

【0052】

下部電極層103、上部電極106は、例えば、白金(Pt)、ルテニウム(Ru)、金(Au)、銀(Ag)などの貴金属を含む遷移金属の金属から構成されていればよい。また、下部電極層103、上部電極106は、窒化チタン(TiN)、窒化ハフニウム(HfN)、ルテニウム酸ストロンチウム(SrRuO_2)、酸化亜鉛(ZnO)、鉛酸スズ(ITO)、フッ化ランタン(LaF_3)などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。

【0053】

絶縁層105は、二酸化シリコン、シリコン酸窒化膜、アルミナ、又は、リチウム、ベリリウム、マグネシウム、カルシウムなどの軽金属から構成された LiNbO_3 などの酸化物、 LiCaAlF_6 、 LiSrAlF_6 、 LiYF_4 、 LiLuF_4 、 KMgF_3 などのフッ化物から構成されていればよい。また、絶縁層105は、スカンジウム、チタン、ストロンチウム、イットリウム、ジルコニウム、ハフニウム、タンタル、及び、ランタン系列を含む遷移金属の酸化物及び窒化物、又は、以上の元素を含むシリケート(金属、シリコン、酸素の三元化合物)、及び、これらの元素を含むアルミネート(金属、アルミニウム、酸素の三元化合物)、さらに、以上の元素を2以上含む酸化物及び窒化物などから構成されていればよい。

【0054】

強誘電体層104は、酸化物強誘電体から構成されたものであり、例えば、ペロブスカイト構造を持つ材料、又は、擬イルメナイト構造を持つ材料、さらに、タンゲステン・ブロンズ構造を持つ材料、ピスマス層状構造を持つ材料、パイロクロア構造を持つ材料から構成されていればよい。

【0055】

ターゲット205は、絶縁層が形成される基板201a内に設置され、内側の面が処理室201内に露出している。また、ターゲット205には、マッチングユニット221を介して高周波電源222が接続され、例えば、13.56MHzの高周波が印加可能とされている。ターゲット205が導電性材料の場合、直流を印加するようにしても良い。なお、ターゲット205は、上面から見た状態で、円形状だけでなく、多角形状態であっても良い。

【0063】

プラズマ生成室202は、真空導波管206に連通し、真空導波管206は、石英窓207を介して導波管208に接続されている。導波管208は、図示していないマイクロ波発生部に連通している。また、プラズマ生成室202の周囲及びプラズマ生成室202の上部には、磁気コイル（磁場形成手段）210が備えられている。これら、マイクロ波発生部、導波管208、石英窓207、真空導波管206により、マイクロ波供給手段が構成されている。なお、導波管208の途中に、モード変換器を設けるようにする構成もある。

【0064】

図2のECRスパッタ装置の動作例について説明すると、まず、処理室201及びプラズマ生成室202内を真空排気した後、不活性ガス導入部211より不活性ガスであるアルゴンガスを導入し、また、反応性ガス導入部212より反応性ガスを導入し、プラズマ生成室202内を例えば $10^{-5} \sim 10^{-4}$ Pa程度の圧力にする。この状態で、磁気コイル210よりプラズマ生成室202内に0.0875 Tの磁場を発生させた後、導波管208、石英窓207を介してプラズマ生成室202内に2.45 GHzのマイクロ波を導入し、電子サイクロトロン共鳴（ECR）プラズマを発生させる。

【0065】

ECRプラズマは、磁気コイル210からの発散磁場により、基板ホルダ204の方向にプラズマ流を形成する。生成されたECRプラズマのうち、電子は磁気コイル210で形成される発散磁場によりターゲット205の中を貫通して基板101の側に引き出され、基板101の表面に照射される。このとき同時に、ECRプラズマ中のプラスイオンが、電子による負電荷を中和するように、すなわち、電界を弱めるように基板101側に引き出され、成膜している層の表面に照射される。このように各粒子が照射される間に、プラスイオンの一部は電子と結合して中性粒子となる。

【0066】

なお、図2の薄膜形成装置では、図示していないマイクロ波発生部より供給されたマイクロ波電力を、導波管208において一旦分岐し、プラズマ生成室202上部の真空導波管206に、プラズマ生成室202の側方から石英窓207を介して結合させている。このようにすることで、石英窓207に対するターゲット205からの飛散粒子の付着が、防げるようになり、ランニングタイムを大幅に改善できるようになる。

【0067】

次に、図1にした強誘電体素子の製造方法例について、図3を用いて説明する。

まず、図3(a)に示すように、主表面が面方位(100)で抵抗率が $1 \sim 2 \Omega \cdot \text{cm}$ のp形のシリコンからなる基板101を用意し、基板101の表面を硫酸と過酸化水素水の混合液と純水と希フッ化水素水とにより洗浄し、このあと乾燥させる。

【0068】

ついで、洗浄・乾燥した基板101の上に、絶縁層102が形成された状態とする。

絶縁層102の形成では、上述したECRスパッタ装置を用い、処理室201内の基板ホルダ204にシリコン基板101を固定し、ターゲット205として純シリコン(Si)を用い、プラズマガスとしてアルゴン(Ar)と酸素ガスをを用いたECRスパッタ法により、シリコン基板101の上に、表面を覆う程度にSi-O分子によるメタルモードの絶縁層102を形成する。

【0069】

図2に示すECRスパッタ法において、図示していないマイクロ波発生部より、例えば

2.45GHzのマイクロ波（例えば500W）を供給し、これを導波管208、石英窓207、真空導波管206を介してプラズマ生成室202の内部に導入する。また、プラズマ生成室202内に、不活性ガス導入部211より、例えば希ガスであるArガスを流量20sccm程度で導入し、プラズマ生成室202の内部を例えば 10^{-3} Pa台の圧力に設定する。

【0070】

加えて、プラズマ生成室202には、磁気コイル210にコイル電流を例えば28Aを供給することで電子サイクロトロン共鳴条件の磁場を与え、上記マイクロ波の導入により、プラズマ生成室202にArのプラズマが生成された状態とする。なお、sccmは流量の単位あり、0℃・1気圧の流体が1分間に1cm³流れることを示す。

【0071】

上述したことにより生成されたプラズマは、磁気コイル210の発散磁場によりプラズマ生成室202より処理室201の側に放出される。また、プラズマ生成室202の出口に配置されたターゲット205に、高周波電源222より高周波電力（例えば500W）を供給する。このことにより、ターゲット205にAr粒子が衝突してスパッタリング現象が起こり、Si粒子がターゲット205より飛び出す。

【0072】

ターゲット205より飛び出したSi粒子は、プラズマ生成室202より放出されたプラズマ、及び、反応性ガス導入部212より導入されてプラズマにより活性化された酸素ガスと共にシリコン基板101の表面に到達し、活性化された酸素により酸化され二酸化シリコンとなる。

【0073】

以上のことにより、シリコン基板101上に二酸化シリコンからなる例えば100nm程度の膜厚の絶縁層102が形成された状態とすることができる（図3（a））。所定の膜厚まで形成した後、マイクロ波電力の供給を停止するなどにより、プラズマ照射を停止し、成膜を停止する。

【0074】

なお、絶縁層102は、この後に形成する下部電極層103と上部電極106に電圧を印加した時に、シリコン基板101に電圧が洩れて、所望の電気的特性に影響することがないように絶縁を図るものである。従って、絶縁層102は、二酸化シリコン以外の他の絶縁材料から構成してもよい。また、上述したECRスパッタによる膜の形成では、シリコン基板101に対して加熱はしていないが、シリコン基板101を加熱しながら膜の形成を行ってもよい。

【0075】

以上のようにして絶縁層102を形成した後、基板101を装置内より大気中に搬出し、ついで、ターゲット205として純ルテニウム（Ru）を用いた図2同様のECRスパッタ装置の基板ホルダ204に、基板101を固定する。引き続いて、プラズマガスとしてアルゴン（Ar）とキセノン（Xe）を用いたECRスパッタ法により、図3（b）に示すように、絶縁層102の上に、表面を覆う程度にRu膜を形成することで、下部電極層103が形成された状態とする。

【0076】

Ru膜の形成について詳述すると、Ruからなるターゲット205を用いた図2に示すECRスパッタ装置において、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波（例えば500W）を供給し、これを導波管208、石英窓207、真空導波管を介してプラズマ生成室202内に導入する。また、プラズマ生成室202内に、不活性ガス導入部211より、例えば流量7sccmで希ガスであるArガスを導入し、例えば流量5sccmでXeガスを導入し、プラズマ生成室202の内部を、例えば 10^{-2} ～ 10^{-3} Pa台の圧力に設定する。

【0077】

加えて、プラズマ生成室202には、磁気コイル210にコイル電流を例えば26Aを

供給することにより電子サイクロトロン共鳴条件の磁場を与え、上記マイクロ波の導入により、プラズマ生成室202にArとXeのプラズマが生成した状態とする。生成されたプラズマは、磁気コイル210の発散磁場によりプラズマ生成室202より処理室201側に放出される。また、プラズマ生成室202の出口に配置されたターゲット205に、高周波電極供給部より高周波電力（例えば500W）を供給する。このことにより、ターゲット205にAr粒子が衝突してスパッタリング現象が起こり、Ru粒子がターゲット205より飛び出す。ターゲット205より飛び出したRu粒子は、シリコン基板101の絶縁層102表面に到達し堆積する。

【0078】

以上のことにより、絶縁層102の上に、例えば10nm程度の膜厚の下部電極層103が形成された状態が得られる（図3（b））。下部電極層103は、この後に形成する上部電極106との間に電圧を印加した時に、強誘電体層104と絶縁層105に電圧が印加できるようにするものである。従って、導電性が持てればルテニウム以外から下部電極層103を構成してもよく、また、膜厚も10nmに限るものではなく、これより厚くてもよく薄くてもよい。

【0079】

ところで、上述したようにECRスパッタ法によりRuの膜を形成するときに、シリコン基板101を400℃に加熱したが、加熱しなくても良い。ただし、加熱を行わない場合、ルテニウムの二酸化シリコンへの密着性が低下するため、剥がれが生じる恐れがあり、これを防ぐために、基板を加熱して膜を形成する方が望ましい。

以上のようにして所望の膜あるにRuを堆積した後、マイクロ波電力の供給を停止するなどにより、プラズマ照射を停止し、成膜を停止する。

【0080】

以上のようにして下部電極層103を形成した後、基板101を装置内より大気中に搬出し、ついで、ターゲット205としてBiとTiの割合が4：3の焼結体（Bi-Ti-O）を用いた図2同様のECRスパッタ装置の基板ホルダ204に、基板101を固定する。引き続いて、プラズマガスとしてアルゴン（Ar）と酸素ガスとを用いたECRスパッタ法により、図3（c）に示すように、下部電極層103の上に、表面を覆う程度に、強誘電体層104が形成された状態とする。

【0081】

強誘電体層104の形成について詳述すると、Bi-Ti-Oからなるターゲット205を用いた図2に示すECRスパッタ装置において、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波（例えば500W）を供給し、これを導波管208、石英窓207、真空導波管206を介してプラズマ生成室202内に導入する。また、プラズマ生成室202内に、不活性ガス導入部211より、例えば流量20sccmで希ガスであるArガスを導入し、例えば流量1sccmで反応ガスであるO₂ガスを導入し、例えば10⁻³Pa台の圧力に設定する。

【0082】

加えて、プラズマ生成室202には、磁気コイル210にコイル電流を例えば27Aを供給することで電子サイクロトロン共鳴条件の磁場を与え、上記マイクロ波の導入により、プラズマ生成室202にArのプラズマが生成する。生成されたプラズマは、磁気コイル210の発散磁場によりプラズマ生成室202より処理室201側に放出される。また、プラズマ生成室202の出口に配置されたターゲット205に、高周波電極供給部より高周波電力（例えば500W）を供給する。このことにより、ターゲット205にAr粒子が衝突してスパッタリング現象を起こし、Bi粒子とTi粒子がターゲット205より飛び出す。

【0083】

ターゲット205より飛び出したBi粒子とTi粒子は、プラズマ生成室202より放出されたプラズマ、及び、反応性ガス導入部212より導入されてプラズマにより活性化された酸素ガスと共に、下部電極層103の表面に到達し、活性化された酸素により酸化さ

れる。ノーノットメリットは脱離体としての、脱離が占められるが、脱離を促進することにより膜中の酸素不足を防ぐことができる。

【0084】

以上に説明したECRスパッタ法による膜の形成で、例えば、膜厚40nm程度の強誘電体層104が形成された状態が得られる(図3(c))。この後、マイクロ波電力の供給を停止するなどにより、プラズマ照射を停止し、成膜を停止する。

なお、形成した強誘電体層104に、不活性ガスと反応性ガスのECRプラズマを照射し、膜質を改善するようにしてもよい。反応性ガスとしては、酸素ガスに限らず、窒素ガス、フッ素ガス、水素ガスを用いることができる。また、この膜質の改善は、絶縁層102や以降に説明する絶縁層105の形成にも適用可能である。

【0085】

以上のようにして強誘電体層104を形成した後、基板101を装置内より大気中に搬出し、ついで、ターゲット205として純タンタル(Ta)を用いた図2同様のECRスパッタ装置の基板ホルダ204に、基板101を固定する。引き続いて、プラズマガスとしてアルゴン(Ar)と酸素ガスとを用いたECRスパッタ法により、図3(d)に示すように、強誘電体層104の上に、表面を覆う程度に、絶縁層105が形成された状態とする。以下に説明するように、Ta-O分子によるメタルモード膜を形成し、絶縁層105とする。

【0086】

Ta-O分子によるメタルモード膜の形成について詳述すると、タンタルからなるターゲット205を用いた図2に示すECRスパッタ装置において、図示していないマイクロ波発生部より、例えば2.45GHzのマイクロ波(例えば500W)を供給し、これを導波管208、石英窓207、真空導波管を介してプラズマ生成室202内に導入する。また、プラズマ生成室202内に、不活性ガス導入部211より、例えば流量7sccmで希ガスであるArガスを導入し、例えば流量20sccmでArガスを導入し、プラズマ生成室202の内部を、例えば 10^{-3} Pa台の圧力に設定する。

【0087】

加えて、プラズマ生成室202には、磁気コイル210にコイル電流を例えば28Aを供給することで電子サイクロトロン共鳴条件の磁場を与え、上記マイクロ波の導入により、プラズマ生成室202にArのプラズマが生成した状態とする。生成されたプラズマは、磁気コイル210の発散磁場によりプラズマ生成室202より処理室201の側に放出される。また、プラズマ生成室202の出口に配置されたターゲット205に、高周波電極供給部より高周波電力(例えば500W)を供給する。このことにより、ターゲット205にAr粒子が衝突してスパッタリング現象を起こし、Ta粒子がターゲット205より飛び出す。

【0088】

ターゲット205より飛び出したTa粒子は、プラズマ生成室202より放出されたプラズマ、及び反応性ガス導入部212より導入されてプラズマにより活性化された酸素ガスと共にシリコン基板101の強誘電体層104表面に到達し、活性化された酸素により酸化され五酸化タンタルとなる。

【0089】

以上のことにより、まず、強誘電体層104の上に五酸化タンタル膜を形成する。

続いて、図3(a)を用いて説明した二酸化シリコンの堆積と同様に、純シリコンからなるターゲット205を用いたECRスパッタ法により、上記五酸化タンタル膜の上に二酸化シリコン膜が形成された状態とする。

上述した五酸化タンタル膜と二酸化シリコン膜の形成工程を繰り返し、五酸化タンタル膜と二酸化シリコン膜との多層膜を例えば、5nm程度形成することで、絶縁層105が得られる(図3(d))。

【0090】

なお、五酸化タンタル膜と二酸化シリコン膜からなる絶縁層105は、強誘電体層10

生に電圧を印加した時に、強誘電体膜に印加される電圧を制御するために用いる。従って、強誘電体層 104 に印加される電圧を制御することができれば、五酸化タンタル膜と二酸化シリコン膜の多層構造以外から絶縁層 105 を構成してもよく、単層から構成してもよい。また、膜厚も、5 nm に限るものではない。

なお、上述した ECR スパッタ法では、シリコン基板 101 に対して加熱はしていないが、加熱しても良い。この後、マイクロ波電力の供給を停止するなどにより、プラズマ照射を停止し、成膜を停止する。

【0091】

次に、図 3 (e) に示すように、絶縁層 105 の上に、所定の面積の Au からなる上部電極 106 が形成された状態とすることで、強誘電体からなる層を用いた素子が得られる。上部電極 106 は、よく知られたリフトオフ法と抵抗加熱真空蒸着法による金の堆積とにより形成できる。なお、上部電極 106 は、例えば、Ru、Pt、TiN などの他の金属材料や導電性材料を用いるようにしてもよい。なお、Pt を用いた場合、濡れ性が悪く剥離する可能性があるので、Ti-Pt-Au などの剥離し難い構造とし、この上でフォトリソグラフィやリフトオフ処理などのパターンニング処理をして所定の面積を持つ電極として形成する必要がある。

【0092】

次に、ECR スパッタ法により形成される $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ からなる強誘電体膜（強誘電体層 104）の特性について、より詳細に説明する。発明者らは、ECR スパッタ法を用いた $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜の形成注意深く観察を繰り返すことで、温度と導入する酸素流量によって、形成される $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜の組成が制御できることを見いだした。

【0093】

図 4 は、ECR スパッタ法を用いて $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を成膜した場合の、導入した酸素流量に対する成膜速度の変化を示した特性図である。図 4 は、基板に単結晶シリコンを用い、基板温度を 450°C とした条件の結果である。

図 4 より、酸素流量が $0 \sim 0.5 \text{ sccm}$ と小さいとき、酸素流量が $0.5 \sim 0.8 \text{ sccm}$ の時、酸素流量が 0.8 sccm 以降の時の領域に分かれることがわかる。この特性について、高周波誘導結合プラズマ発光 (ICP) 分析と断面透過型電子顕微鏡の観察を実施し、成膜された膜を詳細に調べた。

【0094】

調査の結果、酸素流量が $0 \sim 0.5 \text{ sccm}$ と小さい時には、ターゲット 205 に Bi-Ti-O の焼結ターゲットを使用しているのにも拘わらず、Bi がほとんど含まれない Ti-O が主成分の結晶膜が形成されていることがわかった。この酸素領域を酸素領域 A とする。

また、酸素流量が $0.8 \sim 3 \text{ sccm}$ 程度の場合は、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成の微結晶又は柱状結晶で成膜していることがわかった。この酸素領域を酸素領域 C とする。

さらに、酸素流量が 3 sccm 以上の場合には、Bi の割合が多い膜となり、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成からずれてしまうことがわかった。この酸素領域を酸素領域 D とする。

さらにまた、酸素流量が $0.5 \sim 0.8 \text{ sccm}$ の場合は、酸素領域 A の膜と酸素領域 C の中間的な成膜となることがわかった。この酸素領域を酸素領域 B とする。

【0095】

これらの供給する酸素に対して、4 つの領域に分かれて、組成変化することは今まで知られておらず、ECR スパッタ法で Bi-Ti-O の焼結ターゲットを用いて $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を成膜した場合の特徴的な成膜特性であるといえる。

この領域を把握した上で、成膜を制御することで所望の組成と膜質の膜が得られることになる。

さらに別の厳密な測定結果より、強誘電性を明らかに示すのは、化学量論的組成が実現できている酸素領域 C であることがわかった。

【0096】

ECRスパッタ法での $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜の付着は、成膜速度にも関係する。

図5は、基板温度に対する成膜速度と屈折率の変化を示したものである。この図には、図4に示した酸素領域Aと酸素領域Cと酸素領域Dに相当する酸素流量の成膜速度と屈折率の変化が示してある。図より、温度に対して成膜速度と屈折率のともに変化することがわかる。

【0097】

まず、屈折率に注目すると、酸素領域A、酸素領域C、酸素領域Dのいずれの領域に関して同様の振る舞いを示すことがわかる。

具体的には、約250℃程度までの低温領域では、屈折率は約2と小さくアモルファス的な特性を示している。300℃から600℃での中間的な温度領域では、屈折率は、約2.5と論文などで報告されているバルクに近い値となり、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶化が進んでいることがわかる。これらの数値に関しては、例えば、山口らのジャパニーズ・ジャーナル・アブライド・フィジクス、第37号、5166頁、1998年、(Jpn. J. Appl. Phys., 37, 5166 (1998).)などを参考にさせていただきたい。

【0098】

しかし、約600℃を超える温度領域では、屈折率が大きくなり表面モフォロジ（表面凹凸）が大きくなってしまい結晶性が変化しているものと思われる。この温度が、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ のキュリー温度である675℃程度に近いことを考えれば、上述した結果に矛盾はないものとする。

成膜速度の温度依存性についてみると、各酸素領域は、同じ傾向の振る舞いを示すことがわかる。具体的には、約200℃までは、温度と共に成膜速度が上昇する。しかし、約200℃から300℃の領域で、急激に成膜速度が低下する。

【0099】

約300℃に達すると成膜速度は600℃まで一定となる。この時の各酸素領域における成膜速度は、酸素領域Aが約1.5 nm/min、酸素領域Cが約3 nm/min、酸素領域Aが約2.5 nm/minであった。

以上の結果から、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶膜の成膜に適した温度は、屈折率がバルクに近くなり、成膜速度が一定となる領域であり、上述の結果からは、300℃から600℃の温度領域となる。

【0100】

一般に、強誘電性を示す材料では、キュリー温度以上では結晶性が保てなくなり、強誘電性が発現されなくなる。例えば、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ などのBiとチタンと酸素とから構成される強誘電材料では、キュリー温度が675℃付近である。このため、上述した温度の600℃に近い温度以上になると、ECRプラズマから与えられるエネルギーも加算され、膜表面の温度がキュリー温度を超えるため、強誘電性が発現されにくくなるものと考えられる。言い換えると、強誘電体層104の形成においては、基板温度の条件を、形成している膜の屈折率が急激に大きくなって一定の値を示す温度以上で、かつ、強誘電体層のキュリー温度以下とすればよいことになる。実験の結果によれば、強誘電体層104が、最も良好な特性となる上記温度条件は、470℃であった。

【0101】

また、X線回折による解析により、上記の温度領域で、酸素流量Cで成膜した $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜は、(117)配向した膜であることがわかった。

また、このような条件で成膜した $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜は、100 nm程度の厚さにすると2 MV/cmを超える十分な電気耐圧性を示すことも確認できた。

以上に説明したように、ECRスパッタを用い、図4や図5で示される範囲内で強誘電体材料からなる膜を形成することにより、膜の組成と特性を制御することが可能となる。

【0102】

さらに、発明者らは、上述した $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜を詳細に調べることによって、次に示す新規の現象を見いだした。

まず、前述したようにECRスパッタ法により形成した品質のよい $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜は

、膜厚のバリエーションにより、強誘電性が小さくなる傾向があることを示した。また、上記 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜は、ある程度のリーク電流が流れる膜厚で、電流電圧測定に特有のヒステリシスが現れることを見いだした。これらの知見により、これらの現象を顕著に用いることで、図 1 に示す強誘電体素子の実現できる。言い換えると、品質のよい強誘電体層を用いて図 1 に例示する構成とすることで、以降に説明するように、2 つの状態が保持される強誘電体素子可以实现できる。

【0103】

次に、図 1 に示す強誘電体素子の特性について説明する。この特性調査は、下部電極層 103 と上部電極 106 との間に電圧を印加することで行う。

下部電極層 103 と上部電極 106 との間に電源により電圧を印加し、電圧を印加したときの電流を電流計により観測すると、図 6 に示す結果が得られた。図 6 では、縦軸が、電流値を面積で除した電流密度として示している。

【0104】

以下、図 6 を説明し、あわせて本発明のメモリ動作原理を説明する。ただし、ここで説明する電圧値や電流値は、実際の素子で観測されたものを例としている。従って、本現象は、以下に示す数値に限るものではない。実際に素子に用いる膜の材料や膜厚、及び他の条件により、他の数値が観測されることがある。

【0105】

まず、上部電極 106 に正の電圧を印加すると、図 6 中の (1) に示すように、0 ~ 1.5 V では流れる電流は非常に少ない。しかし、(2) に示すように、1.5 V を超えると急に正の電流が流れる。実際には、 0.1 A/cm^2 以上の電流も流れているが、測定器を保護するためにこれ電流を流さないようにしているので、観測されていない。

【0106】

続いて、再び上部電極 106 に正の電圧を印加すると、(3) に示すように、0.5 V 程度で 0.1 A/cm^2 以上の正の電流が流れる軌跡を示す。

さらに続いて、上部電極 106 に正の電圧を印加すると、やはり (3) に示すように 0.5 V 程度で 0.1 A/cm^2 以上の電流が流れる。

しかし、今度は、上部電極 106 に負の電圧を印加すると、(4) に示すように、0.4 V 程度まで負の電流が流れ、最大 $-1 \times 10^{-2} \text{ A/cm}^2$ になるが、この後、負の電流が流れなくなる。

【0107】

続いて、上部電極 106 に負の電圧を印加すると (5) に示すように、ほとんど電流が流れない軌跡を示すようになる。

さらに、続いて上部電極 106 に正の電圧を印加すると、(1) に示すように 0.5 ~ 1.5 V 程度まで、ほとんど電流値が流れない。

【0108】

従って、(2) のように急激に電流が流れないように上部電極 106 に 1.5 V 以上の電圧を印加しなければ、(1) のような電流が流れない高抵抗の状態を維持することになる。(1) に示す状態を「正の高抵抗モード」と呼ぶことにする。例えば、(2) に示すように 1.5 V 以上の電圧を印加し、急激な電流が流れる状態とすると、(3) のような電流が流れやすくなる低抵抗の状態になる。この状態も、上部電極 106 に正の電圧を印加している間は維持される。(3) に示す状態を「正の低抵抗モード」と呼ぶことにする。

【0109】

しかし、上部電極 106 に負の電圧を印加すると、(4) に示すように、初期に少量の電流が流れる低抵抗の状態になる。ここでも、0 から -0.4 V の間で負の電圧を印加している間、この状態が維持されるので、(4) に示す状態を「負の低抵抗モード」と呼ぶことにする。

さらに、-0.4 V 以上の負の電圧を印加すると、電流が流れなくなる高抵抗に状態になる。この状態になると、(5) に示すように、電流値が高抵抗のままが維持される。こ

の（３）に示される状態を、「負の高抵抗モード」と呼ぶことになる。

【０１１０】

以上より、図１で示す強誘電体層を用いた素子では、「正の高抵抗モード」、「正の低抵抗モード」、「負の高抵抗モード」、「負の低抵抗モード」の４つのモードが安定して存在することになる。

詳細に調べると、「正の高抵抗モード」と「負の高抵抗モード」は、同じ高抵抗の状態を示す「高抵抗モード」であり、「正の低抵抗モード」と「負の低抵抗モード」は、同じ低抵抗の状態を示す「低抵抗モード」であり、２つのモードが存在しているとも言える。

【０１１１】

また、各「正のモード」の実際の電流値は、０．６Ｖ印加時に、「正の高抵抗モード」で $5 \times 10^{-5} \text{ A/cm}^2$ であり、「正の低抵抗モード」で $1 \times 10^{-1} \text{ A/cm}^2$ であることから、各々の比は、２０００倍にも達する。このことは、容易なモードの識別を可能にするものである。

発明者らは、印加する電圧の向きと強さにより、強誘電体膜の抵抗値が劇的に変化することで、上述した現象が発現するものと推定している。

【０１１２】

また、強誘電体層１０４と上部電極１０６の間に備えた絶縁層１０５により、絶縁層１０５の持つバンド構造から、キャリアの制御が可能である。具体的には、例えば、五酸化タンタルは、バンドギャップは４．５eV程度であるが、フェルミレベルからのエネルギー差を見た場合、伝導帯には１．２eV程度、価電子帯には２．３eVと価電子帯側にバリアが高いことが知られている。従って、価電子帯のホール（正孔）に対してはバリア性が高いが、伝導帯のエレクトロン（電子）に対してはバリア性が低いということになる。詳しくは、「ウィルクらのジャーナル・オブ・アプライド・フィジクス、第８７号、４８４頁、２０００年、(Wilk et. al., J. Appl. Phys., 87, 484 (2000).)」を参考にされたい。

【０１１３】

上述した特性から、例えば五酸化タンタル膜を、電極と強誘電体層との間の絶縁層に用いた場合、電子は流れやすく、正孔は流れにくいという現象が期待できる。

実際に、図６に示すように、上部電極１０６に正の電圧を印加したときと、負の電圧を印加したときでは、流れる電流の値が大きく異なっている。このことは、メモリの判別を行う場合に、信号・ノイズ比（S/N比）を向上させ、データの判別を容易にする効果が非常に大きい。これは、絶縁層１０５を用いた効果である。

【０１１４】

上述した図６に示す４つのモードをメモリ動作として応用することで、図１に示す素子が、不揮発性で非破壊のメモリとして使用できることを見いだした。

具体的には、まず、素子の初期化とデータの消去、つまり、データ「off」の書き込みは、図６の（４）又は（５）に示すように、上部電極１０６に負の電圧を印加することで、「負の低抵抗モード」から「負の高抵抗モード」にモード変更することにより行えばよい。

【０１１５】

また、データ「on」の書き込みは、図６の（２）に示すように、上部電極１０６に正の電圧を１．５Ｖ以上印加して電流が急激に流れるようにすることで行えばよい。このことで、「正の高抵抗モード」から「正の低抵抗モード」にモード変換してデータ「on」の書き込みが行われる。

これらのように、上部電極１０６への電圧印加により、「正の高抵抗モード」か「正の低抵抗モード」にすることによって「off」又は「on」のデータ（状態）を書き込むことが可能である。

【０１１６】

一方、以上のようにして書き込まれたデータの読み出しは、上部電極１０６に、０．５～１．５Ｖの適当な電圧を印加したときの電流値を読み取ることで容易に行うことができる。例えば、図１に示す素子のモード状態が、「off」言い換えると「正の高抵抗モー

ト」である場合、図6の(1)に示すように、0.5～1.5Vの適当な電圧印加時に電流が流れ難いことにより判断できる。

【0117】

また、図1に示す素子のモード状態が、「on」言い換えると「正の低抵抗モード」である場合、図6の(2)に示すように、0.5～1.5Vの適当な電圧印加時に電流が急激に流れることにより判断できる。

「正の高抵抗モード」と「正の低抵抗モード」、つまり、「off」と「on」の状態の電流値は、2000倍以上もあることから、「off」と「on」の判断が、容易に可能である。

【0118】

上述したメモリの読み出しの動作は、図1に示す素子が「正の高抵抗モード」か「正の低抵抗モード」かを調べるだけで容易に行える。言い換えれば、図1に示す素子が、上記2つのモードを保持できている間は、データが保持されている状態である。さらに、どちらかのモードかを調べるために、電極に正の電圧を印加しても、保持しているモードは変化することなくデータが破壊されてしまうことはない。従って、図1に示す強誘電体素子によれば、非破壊の読み出しが可能である。図1に示す素子は、強誘電体層105が、下部電極層103と上部電極106との間に印加された電圧により抵抗値が変化することにより、不揮発メモリ素子として機能するものである。なお、本素子は、電流を制御するスイッチ素子としても用いることができる。

【0119】

図1に示す素子を動作させるための電圧は、「正の低抵抗モード」にするための書き込み時に最大になるが、図6に示すように、1.6V程度であり、非常に消費電力が小さい。消費電力が小さいと言うことは、デバイスにとって非常に有利になり、例えば、移動体通信機器、デジタル汎用機器、デジタル撮像機器を始め、ノートタイプのパーソナルコンピュータ、パーソナル・デジタル・アプライアンス(PDA)のみならず、全ての電子計算機、パーソナルコンピュータ、ワークステーション、オフィスコンピュータ、大型計算機や、通信ユニット、複合機などのメモリを用いている機器の消費電力を下げる事が可能となる。

【0120】

図1に示す素子におけるデータ保持される時間について、図7に示す。上部電極106に負の電圧を印加して図6に示す「負の高抵抗状態」にした後に、上部電極106に1.6V以上の電圧を印加することで、「正の低抵抗状態」、つまり、データ「on」を書き込んだ状態とする。この後、一定時間ごとに上部電極106に+0.5Vを印加して、電圧を印加したときに観測される電流値を観測する。この観察結果が、図7である。

【0121】

観測された電流は、約10分が最大となり、この後、緩やかに1000分まで小さくなっている。しかし、この時の電流値は、最大値の86%であり、データの判別には問題ない値である。また、図7に示す10年に相当する10,000,000分に外挿される線より、10年後の電流値は0.1mAとなる。この数値は、最大値の66%(3分の2)程度に相当し、データの判別は可能であることが予想される。

以上に示したことにより、図1に示す素子を用いたメモリによれば、10年の保持期間を有していることがわかる。

【0122】

ところで、上述した本発明の例では、シリコンからなる基板上の絶縁層、絶縁層上の下部電極層、下部電極層上の強誘電体層の各々をECRスパッタ法で形成するようにした。しかしながら、これら各層の形成方法は、ECRスパッタ法に限定するものではない。例えば、シリコン基板の上に形成する絶縁層は、熱酸化法や化学気相法(CVD法)、また、従来のスパッタ法などで形成しても良い。

【0123】

また、下部電極層は、EB蒸着法、CVD法、MBE法、IBD法、加熱蒸着法などの

他の成膜方法で形成しても良い。また、強誘電体層も、上記で説明したMOCVD法や従来よりあるスパッタ法、PLD法などで形成することができる。

ただし、ECRスパッタ法を用いることで、平坦で良好な絶縁膜、金属膜、強誘電体膜が容易に得られる。

【0124】

また、上述した実施の形態では、各層を形成した後、一旦大気に取り出していたが、各々のECRスパッタを実現する処理室を、真空搬送室で連結させた装置を用いることで、大気に取り出すことなく、連続的な処理により各層を形成してもよい。これらのことにより、処理対象の基板を真空中で搬送できるようになり、水分付着などの外乱の影響を受け難くなり、膜質と界面の特性の向上につながる。

【0125】

特許文献7に示されているように、各層を形成した後、形成した層の表面にECRプラズマを照射し、特性を改善するようにしてもよい。また、各層を形成した後に、水素雰囲気中などの適当なガス雰囲気中で、形成した層をアニール（加熱処理）し、各層の特性を大きく改善するようにしてもよい。

【0126】

ところで、素子を並べて複数のデータを同時にメモリ蓄積することを「集積」と呼び、集積する度合いを集積度と呼ぶが、図1の構造は、非常に単純であり、従来のメモリセルに比較して、集積度を格段に上げることが可能となる。MOSFETを基本技術としたDRAMやSRAM、フラッシュメモリなどでは、ゲート、ソース、ドレインの領域を確保する必要があるため、近年では、集積限界が指摘され始めている。これに対し、図1に示す素子によれば、単純な構造を用いることで、現在の集積限界に捕らわれずに集積度を高めることが可能となる。

【0127】

また、以上の実施の形態では、印加した電圧は直流であったが、適当な幅と強さのパルス電圧を印加しても同様の効果は得られる。

本発明の基本的な思想は、図1に示すように、強誘電体層に絶縁層を接して配置し、これらを2つの電極で挟むようにしたところにある。このような構成とすることで、2つの電極間に所定の電圧（DC、パルス）を印加して強誘電体層の抵抗値を変化させ、安定な高抵抗モードと低抵抗モードを切り替え、結果としてメモリ機能が実現可能となる。

【0128】

従って、例えば、図8（a）に示すように、絶縁性基板101aを用い、積層された下部電極層103a、103bを用いるようにしてもよい。また、図8（b）に示すように、絶縁性基板101aを用い、下部電極層103にコンタクト電極103cを設けるようにしてもよい。また、図8（c）に示すように、絶縁性基板101aを用い、積層された上部電極106a、106bを用いるようにしてもよい。さらに、図8（d）に示すように、積層された下部電極層103a、103bと積層された上部電極106a、106bとを用いるようにしてもよい。

【0129】

また、図9に示すように、ガラスからなる絶縁性の基板901を用いるようにしてもよい。この場合、図10に示すように、基板901に貫通孔形成してここにプラグを設け、基板901の裏面（下部電極層103の形成面の反対側）より電氣的コンタクトをとるようにしてもよい。この構造とすることによって、加工しやすいガラス基板などへの適用が可能となる。

【0130】

さらに、図11（a）に示すように、金属などの導電性を有する基板1101を用いるようにしてもよい。また、図11（b）に示すように、基板1101の上に接して下部電極層1102を備え、この上に強誘電体層1103、絶縁層1104、上部電極1105を設けるようにしてもよい。図11（b）に示す構成とした場合、基板1101と上部電極1105との間に所定の電気信号を印加することが可能となる。

また、図 1 2 に示すように、金属板 1 2 0 1 の上に、強誘電体層 1 2 0 2，絶縁層 1 2 0 3，上部電極 1 2 0 4 を設けるようにしてもよい。この構成とした場合、金属板 1 2 0 1 が、下部電極層となる。図 1 2 に示す構造にすることによって、熱伝導性のよい金属板 1 2 0 1 の上に各構成要素が形成されているので、より高い冷却効果が得られ、素子の安定動作が期待できる。

【 0 1 3 2 】

なお、強誘電体層は、膜厚が厚くなるほど電流が流れにくくなり抵抗が大きくなる。抵抗値の変化を利用してメモリを実現する場合、オン状態とオフ状態の各々の抵抗値が問題となる。例えば、強誘電体層の膜厚が厚くなると、オン状態の抵抗値が大きくなり、S/N 比がとりにくくなり、メモリの状態を判断しにくくなる。一方、強誘電体層の膜厚が薄くなり、リーク電流が支配的になると、メモリ情報が保持しにくくなると共に、オフ状態の抵抗値が大きくなり、S/N 比がとりにくくなる。

【 0 1 3 3 】

従って、強誘電体層は、適宜最適な厚さとした方がよい。例えば、リーク電流の問題を考慮すれば、強誘電体層は、最低 1 0 n m の膜厚があればよい。また、オン状態における抵抗値を考慮すれば、強誘電体層は 2 0 0 n m より薄くした方がよい。発明者らの実験の結果、強誘電体層の厚さが 3 0 ～ 1 0 0 n m であれば、メモリの動作が確認され、最も良好な状態は、強誘電体層の厚さを 5 0 n m としたときに得られた。

【 0 1 3 4 】

上述では、1 つの強誘電体素子を例にして説明したが、以降に説明するように、複数の強誘電体素子を配列させて集積させるようにしてもよい。

例えば、図 1 3 (a) に示すように、絶縁性基板 1 3 0 1 の上に、共通となる下部電極層 1 3 0 2，強誘電体層 1 3 0 3，絶縁層 1 3 0 4 を形成し、絶縁層 1 3 0 4 の上に、各々所定距離離間して複数の上部電極 1 3 0 5 を形成すればよい。複数の上部電極 1 3 0 5 に対応して複数の強誘電体素子が配列されたことになる。

【 0 1 3 5 】

強誘電体や絶縁膜は、金属などの導電体に比べて導電性が非常に小さいので、上述したように共通に使用することができる。この場合、加工プロセスを省くことができるので、生産性の向上が図れ、工業的に利点大きい。また、複数の上部電極 1 3 0 5 に対応する強誘電体素子間の距離を導電性などを考慮して配置することで、安定した動作が期待できる。

【 0 1 3 6 】

また、図 1 3 (b) に示すように、絶縁性基板 1 3 0 1 の上に、共通となる下部電極層 1 3 0 2 を形成し、下部電極層 1 3 0 2 の上に、強誘電体層 1 3 1 3，絶縁層 1 3 1 4，上部電極 1 3 1 5 からなる複数の素子を配列させるようにしてもよい。例えば、形成した強誘電体膜を、R I E 法や I C P エッチング、また E C R エッチングなど加工法を用いることで、個々の強誘電体層 1 3 1 3 が形成できる。このように分離して構成することで、素子間の距離をより短くすることが可能となり、集積度をさらに向上させることができる。

【 0 1 3 7 】

さらに、図 1 3 (c) に示すように、各々の素子を構成している強誘電体層 1 3 1 3，絶縁層 1 3 1 4 の側面を、絶縁側壁 1 3 1 6 で覆うようにしてもよい。また、図 1 3 (d) に示すように、各素子に渡って共通の絶縁層 1 3 2 4 を形成し、絶縁層 1 3 2 4 により強誘電体層 1 3 1 3 の側面を覆うようにしてもよい。この場合、絶縁層 1 3 2 4 の一部で、図 1 3 (b) に示す絶縁層 1 3 1 4 が構成されていることになる。

【 0 1 3 8 】

また、図 1 3 (e) に示すように、各素子に対応して複数の強誘電体層 1 3 1 3 を形成し、この上の絶縁層 1 3 1 4 は共通とし、各々分離している複数の強誘電体層 1 3 1 3 の側部を充填するように、絶縁層 1 3 2 6 を形成するようにしてもよい。これらのように、

素子母に分離して形成した複数の強誘電体層103,105の間を、絶縁体104により隔てることで、各素子間のリーク電流を減らして強誘電体素子の安定性を高めることができる。

【0139】

また、図14に示すように、本発明の実施の形態における複数の強誘電体素子をX方向にn個、Y方向にm個配列し、X方向バスを下部電極層に接続し、Y方向バスを上部電極に接続し、X方向バス及びY方向バスの各々に選択信号のスイッチ機能を備えたプロセッサユニットを接続することで、各素子にランダムにアクセスが可能なメモリが実現できる。

【図面の簡単な説明】

【0140】

【図1】本発明の実施の形態における強誘電体素子の構成例を模式的に示す断面図である。

【図2】本実施の形態における素子の製造で用いるECRスパッタ装置の例を示す構成図である。

【図3】本発明の実施の形態における強誘電体素子の製造法例を示す工程図である。

【図4】ECRスパッタ法を用いて $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を成膜した場合の、導入した酸素流量に対する成膜速度の変化を示した特性図である。

【図5】基板温度に対する $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の成膜速度と屈折率の変化を示した特性図である。

【図6】図1に示す素子の下部電極層103と上部電極106との間に電圧を印加したときの電流変化の状態を示す特性図である。

【図7】図1に示す素子におけるデータ保持される時間について説明するための説明図である。

【図8】本発明の他の実施の形態における強誘電体素子の構成例を模式的に示す断面図である。

【図9】本発明の他の実施の形態における強誘電体素子の構成例を模式的に示す断面図である。

【図10】本発明の他の実施の形態における強誘電体素子の構成例を模式的に示す断面図である。

【図11】本発明の他の実施の形態における強誘電体素子の構成例を模式的に示す断面図である。

【図12】本発明の他の実施の形態における強誘電体素子の構成例を模式的に示す断面図である。

【図13】本発明の他の実施の形態における強誘電体素子の構成例を模式的に示す断面図である。

【図14】本発明の他の実施の形態における強誘電体素子の適用例を模式的に示す平面図である。

【図15】スタック型キャパシタを持つFeRAMの構成例を示す構成図である。

【図16】MFIS型FeRAMの構成例を示す構成図である。

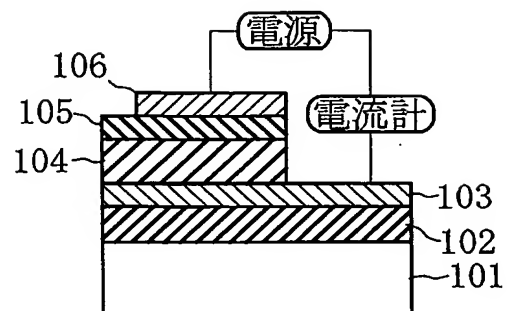
【図17】従来よりある強誘電体を用いたメモリ素子の構成例を示す構成図である。

【符号の説明】

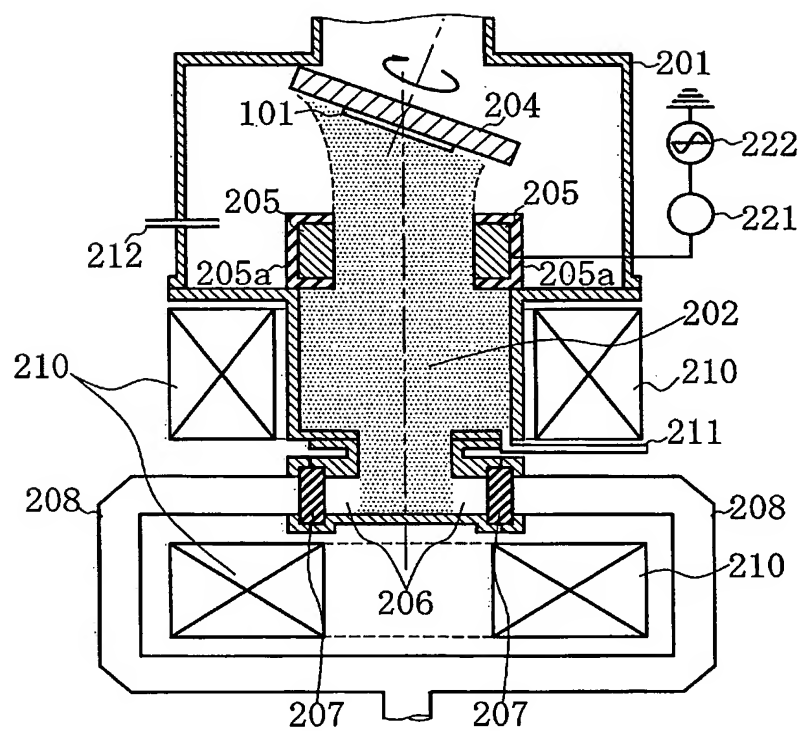
【0141】

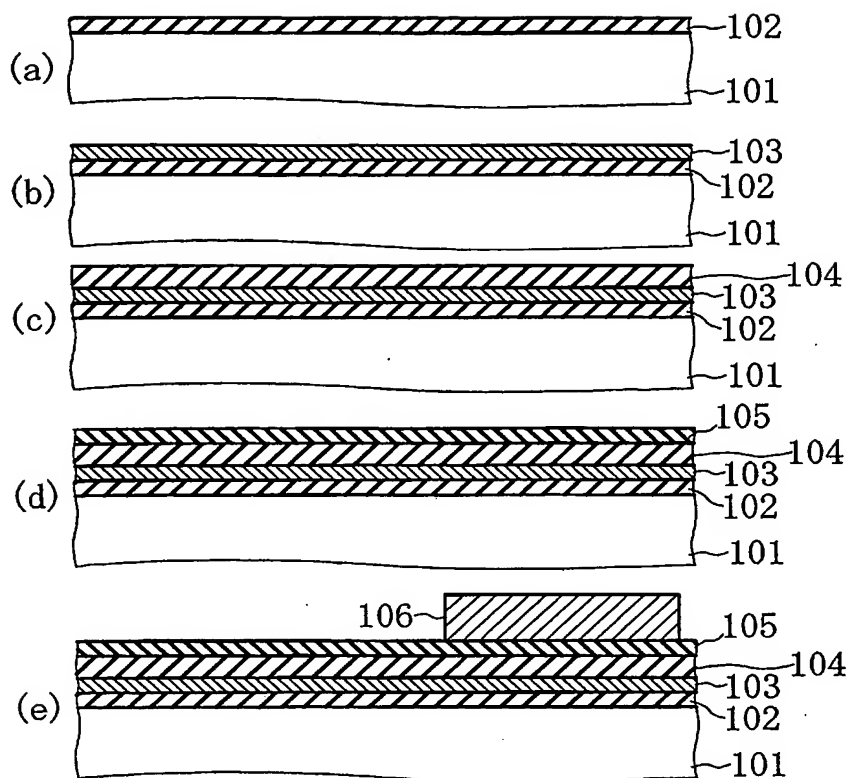
101…基板、102…絶縁層、103…下部電極層、104…強誘電体層、105…絶縁層、106…上部電極。

【 図 1 】

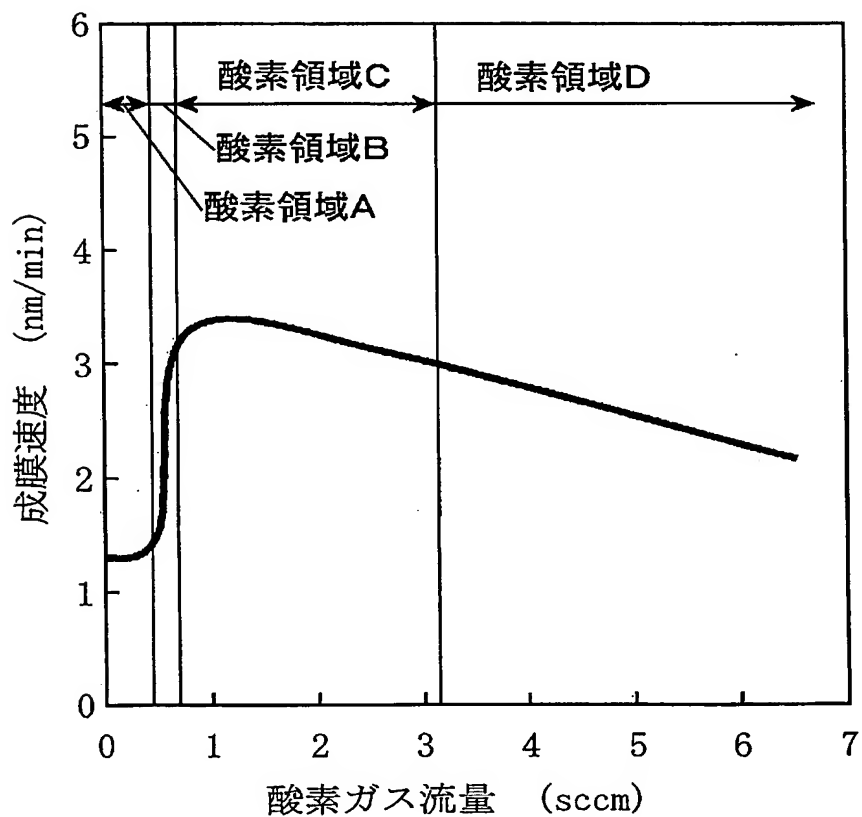


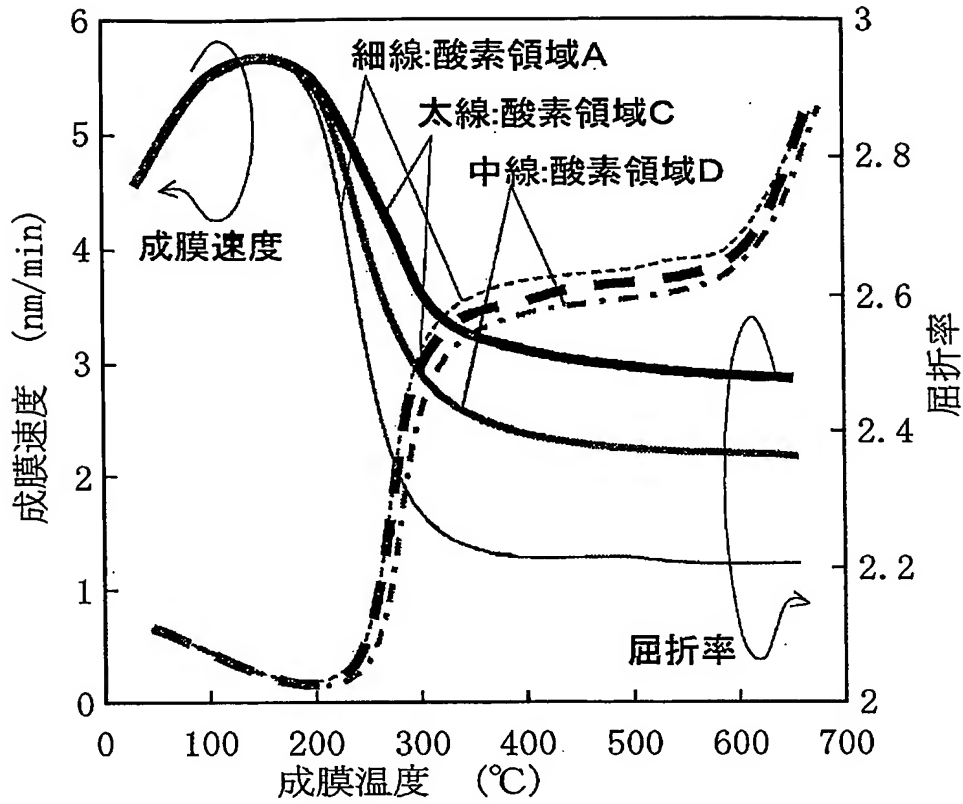
【 図 2 】



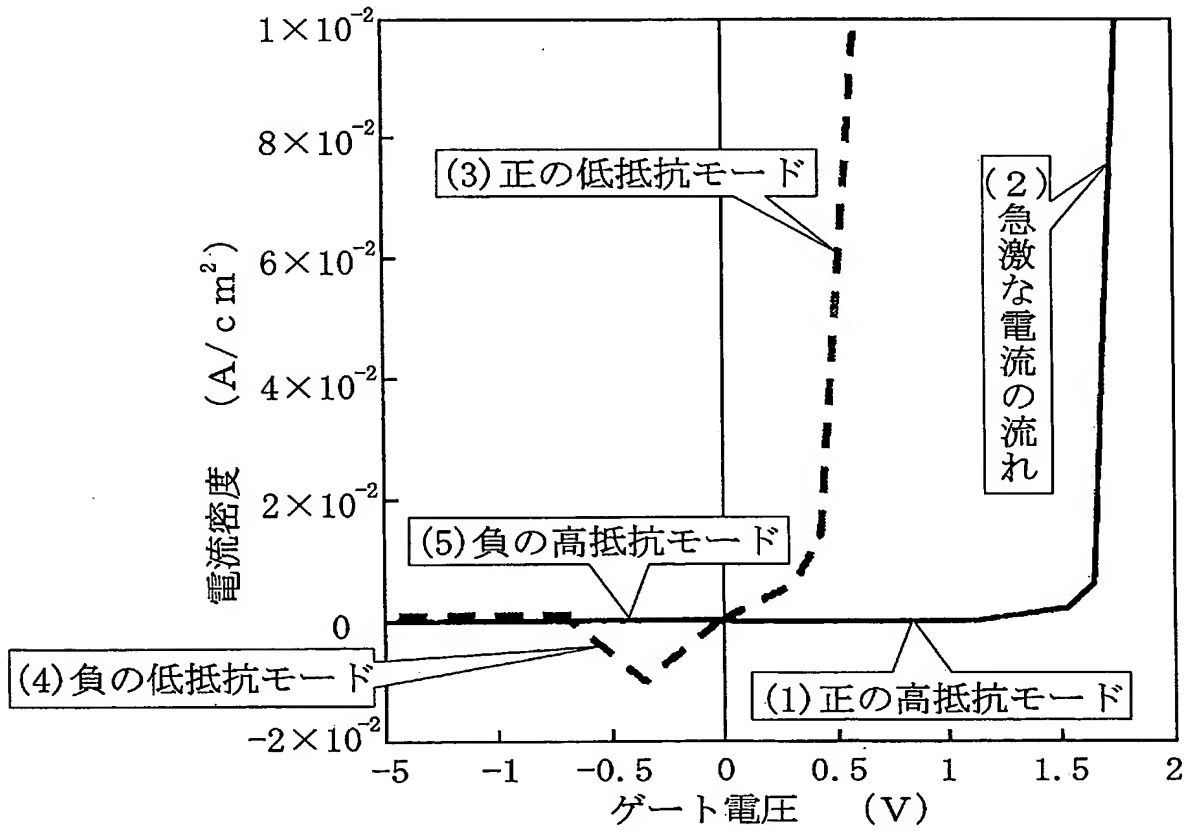


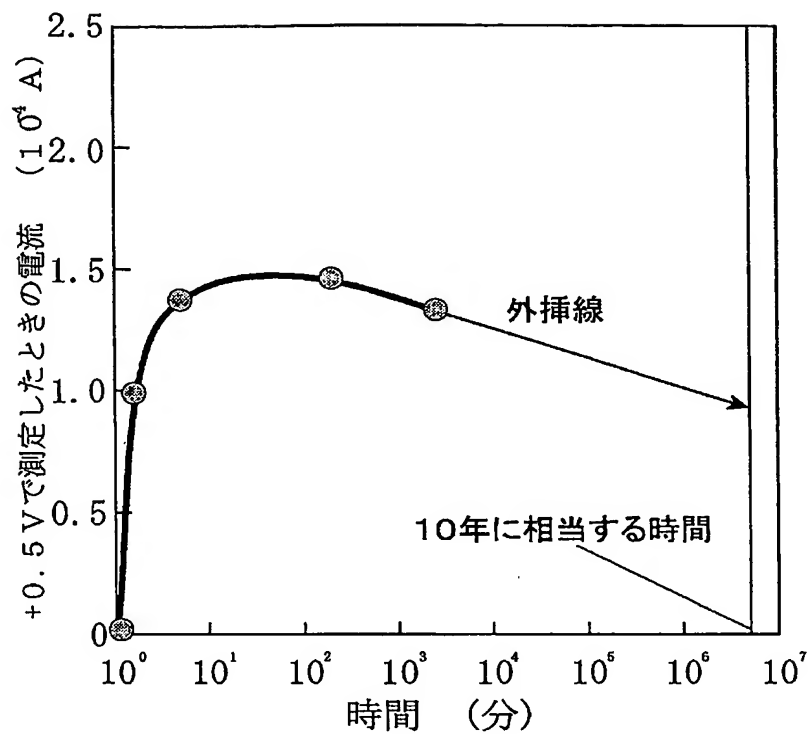
【 図 4 】



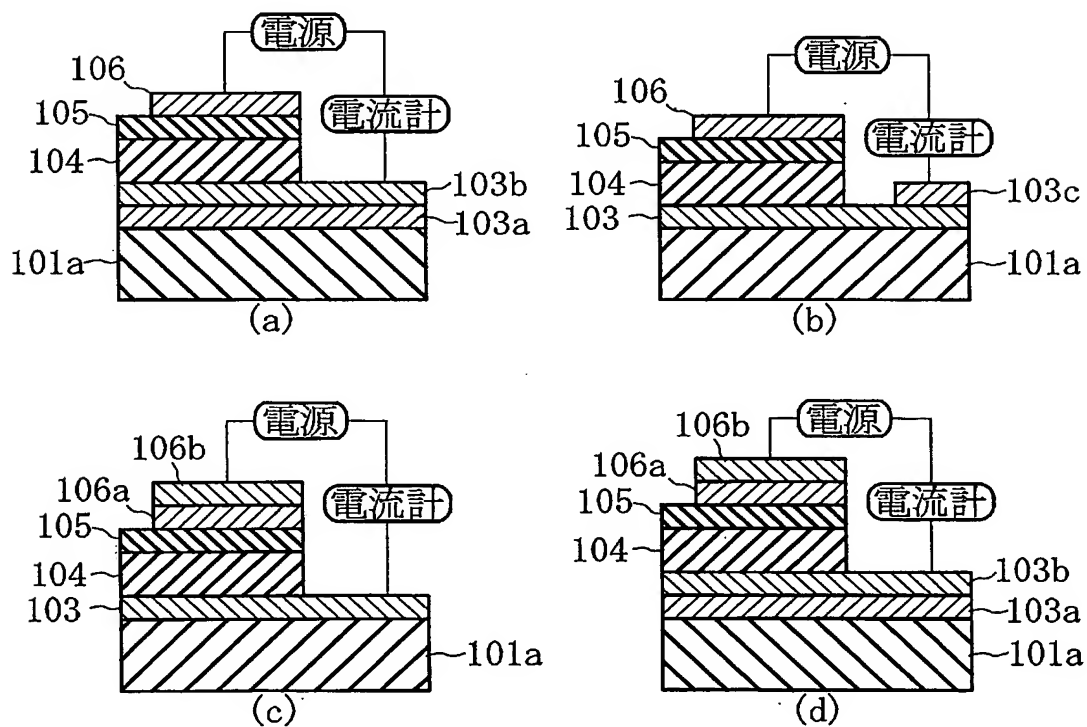


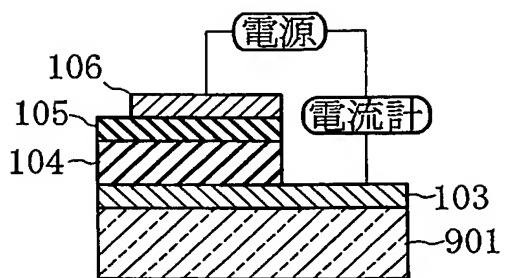
【図 6】



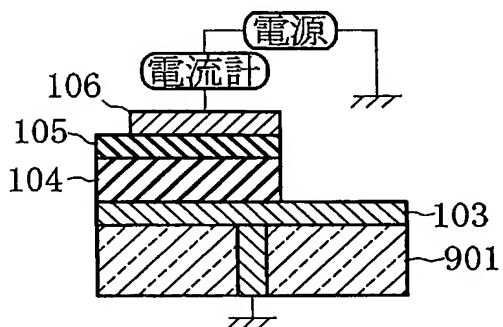


【図 8】

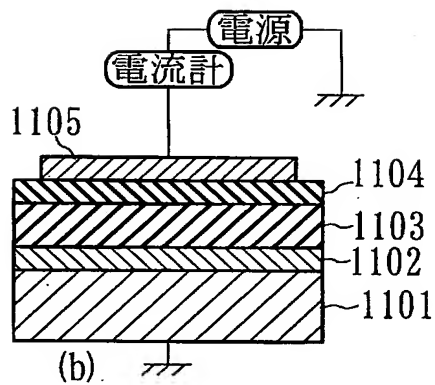
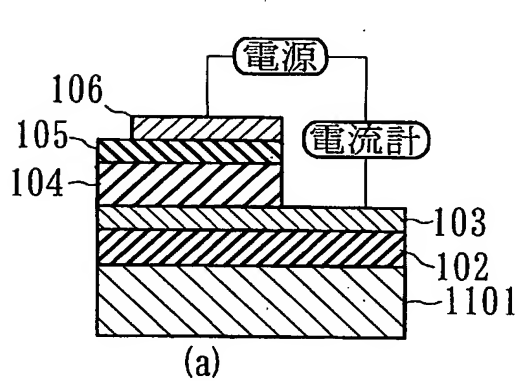




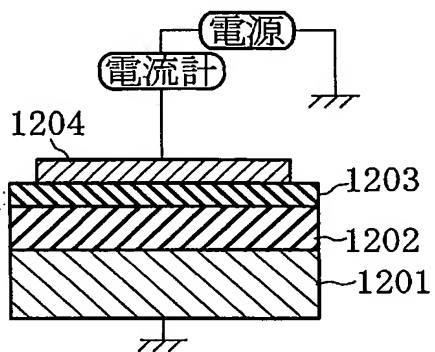
【図 10】

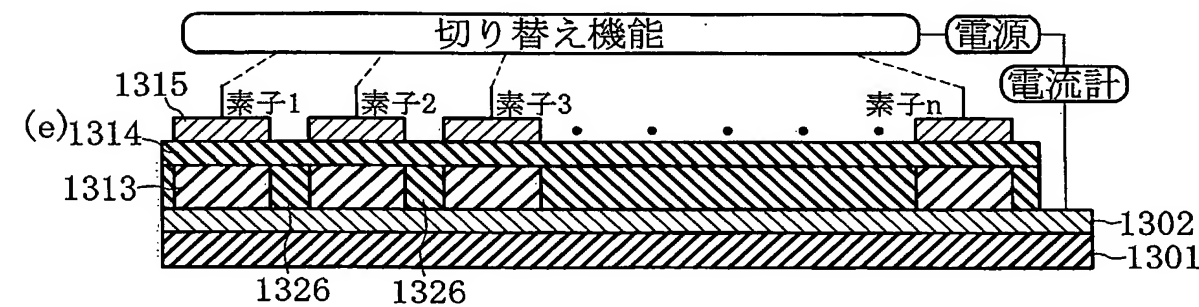
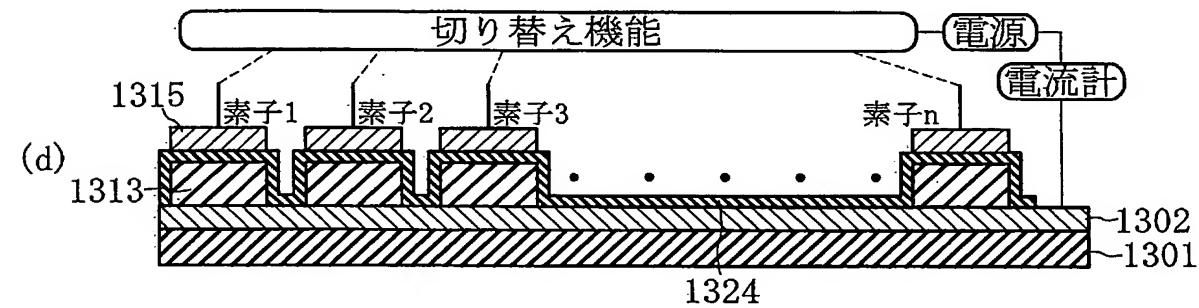
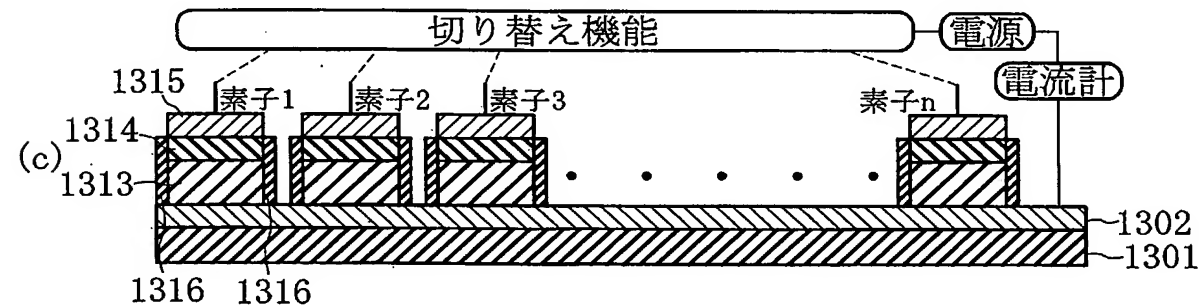
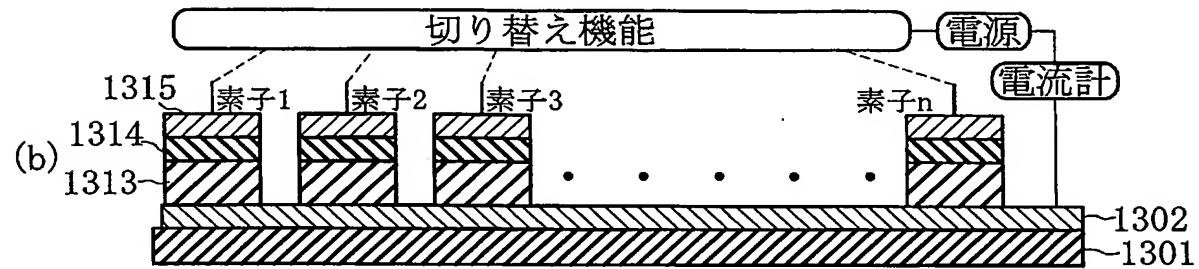
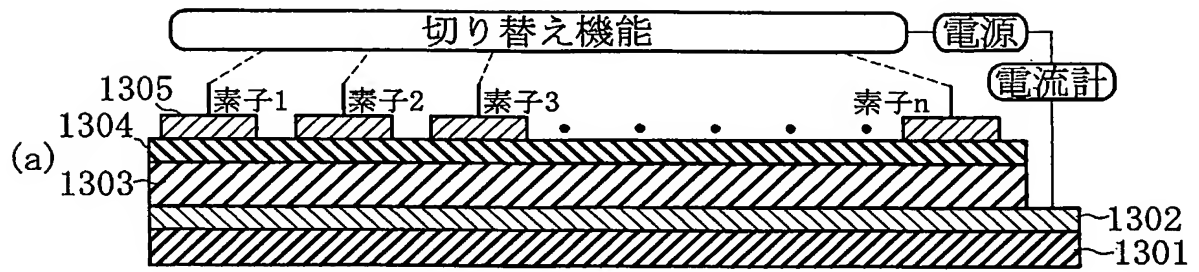


【図 11】

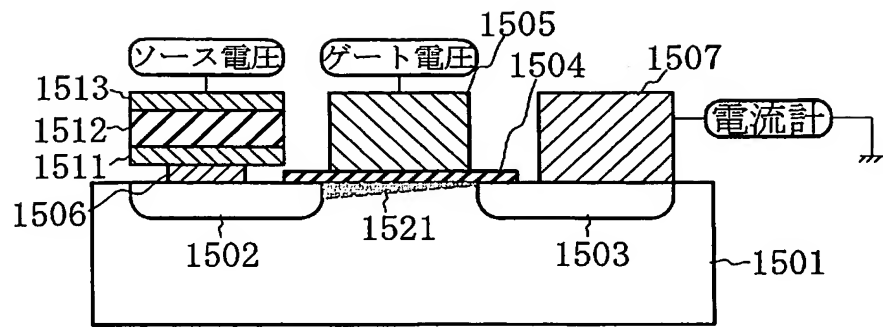


【図 12】

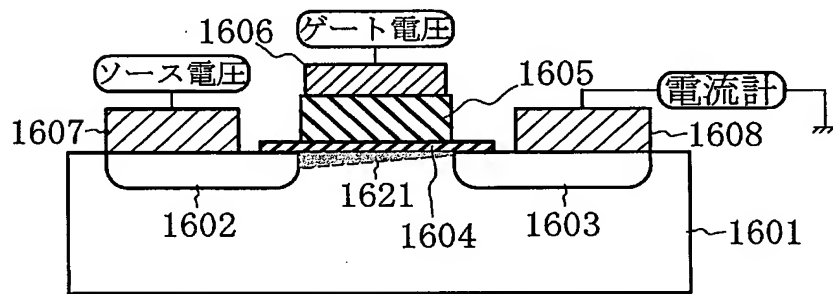




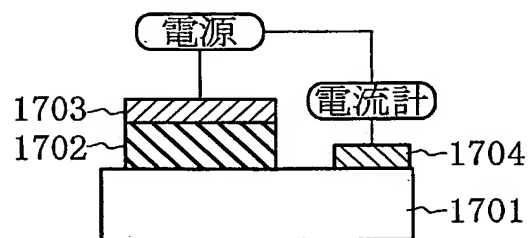
【図 15】



【図 16】



【図 17】



【要約】

【課題】 より安定に記憶保持が行えるメモリ装置が構成できるなど、強誘電体材料を用いて安定した動作が得られる強誘電体素子を提供する。

【解決手段】 強誘電体層 104 に絶縁層 105 を接して配置し、これらを下部電極層 103 と上部電極 106 とで挟み、下部電極層 103 と上部電極 106 との間に所定の電圧（DC，パルス）を印加して強誘電体層 104 の抵抗値を変化させ、安定な高抵抗モードと低抵抗モードを切り替えれば、メモリ動作が得られる。読み出しは、上部電極 106 に、0.5～1.5 V の適当な電圧を印加したときの電流値を読み取ることで容易に行うことができる。

【選択図】 図 1

0 0 0 0 0 4 2 2 6

19990715

住所変更

5 9 1 0 2 9 2 8 6

東京都千代田区大手町二丁目3番1号

日本電信電話株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/013413

International filing date: 21 July 2005 (21.07.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-214851
Filing date: 22 July 2004 (22.07.2004)

Date of receipt at the International Bureau: 25 August 2005 (25.08.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.